

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-1272

IDS

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H01L 27/04

H01L 21/822

// H01L 29/861

(21)Application number : 11-301847

(71)Applicant : ROHM CO LTD

(22)Date of filing : 25.10.1999

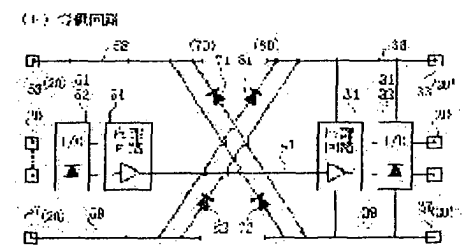
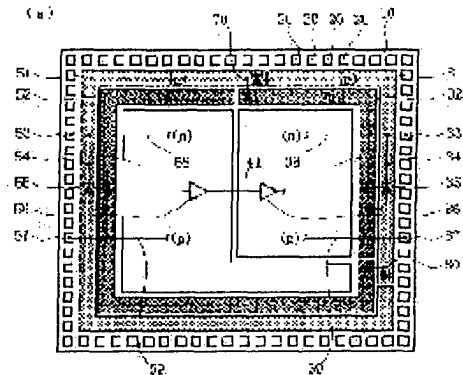
(72)Inventor : TAKIZAWA NOBORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a semiconductor integrated circuit device which has a strength against dielectric breakdown.

SOLUTION: In a semiconductor integrated circuit device 10, signals are sent and received among a plurality of internal circuits 34 and 54 which have different power lines 38+39 and 58+59, when protecting circuits 70 and 80 are arranged between the power lines. The protecting circuits are separated into heterogeneous regions of p-type and n-type (71+72 and 81+82). As a result, cooperation of the elements having different characteristics enables the proper protection from various kinds of surge noises and facilitated the layout design. An inter-block protecting circuit is formed where a p-type region and an n-type region are close (32+51, 31+52), thereby shortening the wiring and lightening a burden of design such as trailing of wirings. Further, the inter-block protecting circuit is formed easily by utilizing annular regions 31, 32, 51 and 52 for input/ output circuits.



LEGAL STATUS

[Date of request for examination] 16.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3302665

[Date of registration] 26.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2001-127249(P2001-127249A)
 (43)【公開日】平成13年5月11日(2001. 5. 11)
 (54)【発明の名称】半導体集積回路装置
 (51)【国際特許分類第7版】

H01L 27/04
 21/822
 // H01L 29/861

【FI】

H01L 27/04 H
 29/91 K

【審査請求】有
 【請求項の数】4
 【出願形態】OL
 【全頁数】9
 (21)【出願番号】特願平11-301847
 (22)【出願日】平成11年10月25日(1999. 10. 25)
 (71)【出願人】
 【識別番号】000116024
 【氏名又は名称】ローム株式会社
 【住所又は居所】京都府京都市右京区西院溝崎町21番地
 (72)【発明者】
 【氏名】瀧澤 登
 【住所又は居所】京都府京都市右京区西院溝崎町21番地 ローム株式会社内
 (74)【代理人】
 【識別番号】100106345
 【弁理士】
 【氏名又は名称】佐藤 香
 【テーマコード(参考)】

5F038

【Fターム(参考)】

5F038 BH04 BH05 BH12 CA03 CD02 CD13 EZ08 EZ12 EZ20

(57)【要約】

【課題】静電破壊に強い半導体集積回路装置を実現する。
 【解決手段】電源ライン38+39, 58+59の異なる複数の内部回路34, 54間で信号を送受する半導体集積回路装置10において、電源ライン間に保護回路70, 80を設けるに際してp型・n型の異種領域に分散して形成することで(71+72, 81+82)、特性の異なる素子の協働によって種々のサージノイズから適切に保護するとともに、レイアウト設計も楽になる。また、p型・n型の領域が近いところ32+51, 31+52にブロック間保護回路を形成することで、配線を短くするとともに、配線の引き回し等の設計負担も軽くなる。さらに、入出力回路用の環状領域31, 32, 51, 52を利用して楽にブロック間保護回路を形成する。

【特許請求の範囲】

【請求項1】電源ラインの異なる複数の内部回路間で信号を送受する半導体集積回路装置において、それらの電源ラインに導通する保護回路が、p型半導体領域に形成された整流素子とn型半導体領域に形成された整流素子との並列回路を含んでいることを特徴とする半導体集積回路装置。

【請求項2】電源ラインの異なる複数の内部回路間で信号を送受する半導体集積回路装置において、それらの電源ラインに導通する保護回路が、p型半導体領域とn型半導体領域との隣接部・近接部に形成された整流素子を含んでいることを特徴とする半導体集積回路装置。

【請求項3】前記複数の内部回路を囲む四辺形状等の環状領域に、入出力回路が配置されるとともに前記保護回路が形成されていることを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】前記環状領域が内周側と外周側とでp型半導体領域およびn型半導体領域の何れかに分けられるとともに周方向にずれて形成されていることを特徴とする請求項3記載の半導体集積回路装置。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電源系の異なる複数の内部回路が共存している半導体集積回路装置に関し、詳しくは、回路間に及ぶ静電破壊から回路を保護する技術に関する。

【0002】

【前提の技術】そのような半導体集積回路装置の典型例としては、多機能のLSI(大規模集積回路装置)や、デジタル・アナログ混在LSI、マルチ電源のデジタルLSIなどが挙げられる。図5は、電源ラインの異なる複数の内部回路をワンチップ上に作り込んだ半導体集積回路装置の典型的な構造を示しており、(a)が概要レイアウト図であり、(b)がその等価回路図である。

【0003】かかる大規模集積回路装置では、周辺部から中央部へ順にボンディングパッド等の外部接続端子20と入出力回路と内部回路とが配置されるが、この半導体集積回路装置1は(図5(a)参照)、内部回路34と内部回路54とで供給される電源電圧が異なるため、それらが右上と左下のブロックに分かれて配置されるとともに、右方の内部回路34の近くに位置する右方の入出力回路(31+32)及び右辺の幾つかの外部接続端子20は、専ら内部回路34と接続されて、内部回路34に関する外部との信号中継や電力の供給などを行うようになっている。また、残りの入出力回路(51+52)及び外部接続端子20は、専ら内部回路54と接続されて、内部回路54に関する外部との信号中継や電力の供給などを行うようになっている。

【0004】これらの内部回路34、54に供給される電源電圧の組み合わせ例としては、12V対5V、5V対3V、3V対2Vなど、種々挙げられるが、相対的に高い電源電圧の供給される方の回路(図では左下側のもの)やその素子等には、50番台の符号を付して示す一方、相対的に低い電源電圧の供給される方の回路(図では右上側のもの)やその素子等には、30番台の符号を付して示している。なお、後述する図1～図4についても同様である。

【0005】このような場合、外部から内部回路34に電力の供給を受けるために、少なくとも一対の電源ライン例えば3V等の正電圧印加用の電源ライン38と接地用の電源ライン39とが必要となるので、多数の外部接続端子20のうち少なくとも一個は低電源用端子33とされてこれに一方の電源ライン38が接続されるとともに、残りの外部接続端子20のうち少なくとも一個が接地用端子37とされてこれに他方の電源ライン39が接続される。電源ライン38、39は、何れも、図示しない環状配線や樹枝状・縞状の配線となって延び、入出力回路(31+32)を経由して内部回路34に至りそこで入力素子36やその他の多数の内部素子にも接続される。

【0006】入出力回路(31+32)は、外部接続端子20の並びに沿って延びた外側のn型半導体領域31と、その直ぐ内側に並んで延びたp型半導体領域32とを含んでおり、そこには、ブロック内保護回路が複数・多数設けられている。そのブロック内保護回路としては、図示は割愛したが、外部信号入出力用の各外部接続端子20に接続された信号配線にアノードが接続され電源ライン38にカソードが接続されたダイオードと、その信号配線にカソードが接続され電源ライン39にアノードが接続されたダイオードとからなるものが明示的に設けられる。その他に、図示のブロック内保護回路35等の如く、カソードが電源ライン38に接続されアノードが電源ライン39に接続されたダイオードからなるものもあり、これは、電源ライン38が入出力回路内のn型半導体領域31や内部回路34内のn型半導体領域に接続され而も電源ライン39が入出力回路内のp型半導体領域32や内部回路34内のp型半導体領域に接続されることで付随的・寄生的に生じたり、あるいは明示的に形成されることもある。

【0007】また、繰り返しとなる詳細な説明は割愛するが、内部回路54側でも、例えば相対的に高い5V等の正電圧印加用の電源ライン58が高電源用端子53から入出力回路(51+52)を経由して内部回路54に至り、それと対をなす接地用の電源ライン59が接地用端子57からやはり入出力回路(51+52)を経由して内部回路54に至り、これらがそこで出力素子56やその他の多数の内部素子にも接続されている。そして、このような電源ライン38、39、58、59の総て或いは少なくとも電源ライン38と電源ライン58は、保護回路等を介して間接的に接続されることはあっても、半導体集積回路装置1内で直接的・短絡的に接続されることは無いので、内部回路34、54は、電源ライン(対または組)の異なる複数の内部回路となっている。

【0008】また、入出力回路(51+52)も、入出力回路(31+32)同様に外部接続端子20側のn型半導体領域51とその直ぐ内側のp型半導体領域52とを含んだものであり、そこにも、信号配線ごとのブロック内保護回路や、電源ライン58、59に接続されたブロック内保護回路55等が設けられている。そして、一部の分離部による切れ目は別として、n型半導体領域31とn型半導体領域5

1とが外側の四辺形をなし、p型半導体領域32とp型半導体領域52とが内側の四辺形をなしている。

【0009】さらに、内部回路54、34間でも信号を送受する場合、例えば内部回路54の出力素子56と内部回路34の入力素子36とが適宜の回路間信号配線41によって接続される。そのような信号配線41は、逆向きの場合や双方向の場合などもあり、信号の送受に必要な本数だけ、内部回路34、54間に亘って設けられる。

【0010】

【従来の技術】このような半導体集積回路装置1では、異電源同士の間渉や他電源系経由でのノイズの回り込み等を嫌って、ブロック内保護回路は設けても、電源ライン対38、39と電源ライン対58、59とを完全に分離してブロック間保護回路は設け無いことも有るが、そうすると、一方の電源ライン例えば5V系の電源ライン58、59に対して静電気の放電等によるサージノイズが乗って来たような場合に、回路間信号配線と他方の電源ライン例えば3V系の電源ライン38、39とで不所望な電位差を生じ、入力素子36等の内部素子が壊れることがある。

【0011】そこで、静電破壊に対する対策として、上述のブロック内保護回路だけで足りない場合、内部回路34やその入出力回路(31+32)等のブロックと内部回路54やその入出力回路(51+52)等のブロックとの両ブロック間にブロック間保護回路を設けることも行われてきた。かかるブロック間保護回路は、抵抗や、ダイオード、トランジスタなどで構成され、供給される電源電圧の異なる電源ライン対38+39、58+59の双方に対しても接続される。

【0012】そして、内部回路の微細化等に伴い内部素子の耐圧が弱くなると、内部素子よりは個数の少ないブロック内保護回路を大きくしたり、ブロック間保護回路を増やしたり更には大きくしたりして、静電破壊からの保護を強化していた。

【0013】

【発明が解決しようとする課題】しかしながら、内部回路の微細化や高速化は止まることなく進むため、このような保護回路を増大させる従来の手法を繰り返すだけでは、最早、十分な保護は得られない。そこで、静電破壊等に対する内部回路の保護を更に強化するには、保護回路の量的改良に止まらず、保護回路の特性を改善することも必要となるが、そのためには、ブロック間保護回路等をどのように構成するかが技術的な課題となる。この発明は、このような課題を解決するためになされたものであり、静電破壊に強い半導体集積回路装置を実現することを目的とする。

【0014】

【課題を解決するための手段】このような課題を解決するために発明された第1乃至第4の解決手段について、その構成および作用効果を以下に説明する。

【0015】【第1の解決手段】第1の解決手段の半導体集積回路装置は、(出願当初の請求項1に記載の如く)、電源ラインの異なる複数の内部回路(と、それらの内部回路)間で信号を送受する(ためそれらの内部回路に亘って設けられた信号配線とを具えた)半導体集積回路装置において、それらの電源ラインに導通する保護回路(が設けられていて、しかも、その保護回路)が、p型半導体領域に形成された整流素子とn型半導体領域に形成された整流素子との並列回路を含んでいる、というものである。

【0016】このような第1の解決手段の半導体集積回路装置にあっては、別系統の電源ライン間に保護回路を設けるに際し、そのブロック間保護回路がp型半導体領域とn型半導体領域とに分散して形成される。そして、内部回路間や電源ライン間で不所望に電位差が広がったり逆転したりすると、両領域の整流素子が共に導通してサージノイズを逃がすので、静電破壊から内部回路が保護される。しかも、その際、p型とn型とで整流素子の応答性や容量等の特性に得手不得手があり且つそれらが並列に動作するため、両者の長所が共に発揮されることとなる。

【0017】このように特性の異なる整流素子の協働によって種々のサージノイズから内部回路・内部素子が適切に保護される。さらに、配置が片寄らないうえ、整流素子であれば素子間分離領域やウェル又はサブストレートのうち電源ラインにクランプ接続された部分等を利用して配線だけで済ますことも可能なため、レイアウト設計が楽にできることにもなる。したがって、この発明によれば、静電破壊に強い半導体集積回路装置を容易に実現することができる。

【0018】【第2の解決手段】第2の解決手段の半導体集積回路装置は、(出願当初の請求項2に記載の如く)、電源ラインの異なる複数の内部回路(と、それらの内部回路)間で信号を送受する(ためそれらの内部回路に亘って設けられた信号配線とを具えた)半導体集積回路装置において、それらの電源ラインに導通する保護回路(が設けられていて、しかも、その保護回路)が、(別ブロックの内部回路や入出力回路などにおける)p型半導体領域とn型半導体領域との隣接部・近接部に形成された整流素子を含んでいる、というものである。

【0019】このような第2の解決手段の半導体集積回路装置にあっては、別系統の電源ライン間に保護回路を設けるに際し、そのブロック間保護回路はp型半導体領域とn型半導体領域とが近いところに形成される。これにより、ブロック間保護回路に関する配線が短くなるので、サージノイズを速やかに逃がすことができるうえ、配線の引き回しもほとんど要らないので、設計も楽にできる。しかも、整流素子であれば素子間分離領域やウェル又はサブストレートのうち電源ラインにクランプ接続された部分等を利用して配線だけで済ますことも可能なので、かかる観点からも、レイアウト設計が楽になる。したがって、この発明によれば、静電破壊に強い半導体集積回路装置を容易に実現することができる。

【0020】[第3の解決手段] 第3の解決手段の半導体集積回路装置は、(出願当初の請求項3に記載の如く)、上記の第2の解決手段の半導体集積回路装置であって、前記複数の内部回路を囲む四辺形状等の環状領域に、入出力回路が配置されるとともに前記保護回路が形成されている、というものである。

【0021】このような第3の解決手段の半導体集積回路装置にあっては、入出力回路用の環状領域にブロック間保護回路も設けられるが、一般にその領域は、内部回路ほどは微細で無く、しかも、環状配線等にて各電源ラインが近くに来ていることも多いので、保護回路を作り易いところである。これにより、静電破壊に強い半導体集積回路装置を一層容易に実現することができる。

【0022】[第4の解決手段] 第4の解決手段の半導体集積回路装置は、(出願当初の請求項4に記載の如く)、上記の第3の解決手段の半導体集積回路装置であって、前記環状領域が内周側と外周側とでp型半導体領域およびn型半導体領域の何れかに分かれて形成されるとともに、前記環状領域のうち前記複数の内部回路の各々に対応した領域が内周側と外周側とで周方向にずれて形成されている、というものである。

【0023】このような第4の解決手段の半導体集積回路装置にあっては、環状領域におけるp型・n型の領域が少し周方向にずらされて、そこにブロック間保護回路が作り込まれる。この場合、ずれたところがp型・n型の両領域の隣接しているところになるので、直ちにレイアウトを決めることが可能となる。これにより、自動レイアウトへの適用も割と楽に行えることとなる。したがって、この発明によれば、静電破壊に強い半導体集積回路装置を自動設計で実現することもできる。

【0024】

【発明の実施の形態】このような解決手段で達成された本発明の半導体集積回路装置について、これを実施するための具体的な形態を、以下の第1、第2実施例により説明する。図1～図4に示した第1実施例、及び図5の第2実施例、いずれも、上述した第1～第4の解決手段を総て具現化したものとなっている。なお、前提の技術の欄で既述したことは各実施例についても同様になりたつので、また図示に際しても同一の構成要素には同一の符号を付して示したので、繰返しとなる説明は割愛し、以下、従来との相違点を中心に説明する。

【0025】

【第1実施例】本発明の半導体集積回路装置の第1実施例について、その具体的な構成を、図面を引用して説明する。図1は、既述の図5に対応してチップの全体構造を示しており、(a)が概要レイアウト図、(b)がその等価回路図である。図2及び図3は、新たに導入された各保護回路のところを詳細に示しており、(a)が該当部分のレイアウトを示す平面図、(b)が該当部分のうち特に半導体領域の縦断面模式図である。

【0026】この半導体集積回路装置10は(図1参照)、既述の半導体集積回路装置1と同様に、電源ライン38+39、58+59の異なる複数の内部回路34、54と、それらの内部回路間で信号を送受するためそれらの内部回路に亘って設けられた信号配線41と、複数の内部回路34、54を囲む四辺形状等の環状領域に配置された入出力回路31+32+51+52とを具え、その環状領域がp型半導体領域の内周側32+52とn型半導体領域の外周側31+51とに分かれて形成されているが、次の点で相違するものである。すなわち、半導体集積回路装置10は、電源ライン対38+39、58+59に導通する保護回路として新たなブロック間保護回路70、80が導入されるとともに、その設置個所のレイアウトも改められている。

【0027】詳述すると、ブロック間保護回路70は(図1参照)、一対の又は一組の保護ダイオード71、72(整流素子)を主体に構成され、チップ上辺のところで入出力回路等が右上と左下の両ブロックに分かれる境目の辺りに配置される。そこでは(図2参照)、入出力回路(51+52)のうちn型半導体領域51が右方へ延長されて前進するとともに、その分だけ入出力回路(31+32)のn型半導体領域31が短縮されて後退している。p型半導体領域32及びp型半導体領域52の端部は変わらず内部回路34、54の境目と揃ったままである。このように環状領域のうち複数の内部回路34、54の各々に対応した領域31+32、51+52が内周側32+52と外周側31+51とで周

方向にずれて形成されたことにより、n型半導体領域51とp型半導体領域32とが部分的にほぼ隣接して並走する状態となる。

【0028】ブロック間保護回路70のうち保護ダイオード71は(図2参照)、n型半導体領域51のうち上述の延長部分に形成され、アノードがメタル配線等によってp型半導体領域32に接続されるが、その配線は両領域51、32の隣接部を横切るようにして最短距離でなされる。また、保護ダイオード72は、p型半導体領域32のうち左端寄りのところに形成され、カソードがメタル配線等によってn型半導体領域51に接続されるが、やはりその配線は両領域32、51の隣接部を横切るようにして最短距離でなされる。このような配置により、両配線は、共に最短であっても、交叉しないでほぼ平行に並走するものとなる。しかも、それらの保護ダイオード71、72は、不純物濃度や厚さ等の適切な設計により、ブレークダウン電圧が、内部回路34、54に供給される適正な電源電圧のいずれよりも高く且つ内部回路34、54の内部素子の耐圧よりは低いものとなっている。

【0029】なお(図2(b)参照)、保護ダイオード71のカソード等に当たるn型半導体領域51は、電源ライン58にクランプ接続されているのが一般的であるが、必要であればその配線も明示的に行う。同様にして、保護ダイオード72のアノード等に当たるp型半導体領域32は、電源ライン39に接続される。こうして出来上がったブロック間保護回路70は、別ブロックの入出力回路におけるp型半導体領域32とn型半導体領域51との隣接部・近接部に形成されたものであって、p型半導体領域32に形成された整流素子72とn型半導体領域51に形成された整流素子71との並列回路を含んだものとなっている。

【0030】概ね同様にして、ブロック間保護回路80は(図1参照)、一対の又は一組の保護ダイオード81、82(整流素子)を主体に構成され、チップ右辺のところで入出力回路等が右上と左下の両ブロックに分かれる境目の辺りに配置される。そこでは(図3参照)、n型半導体領域31が下方へ延長されるとともに、その分だけn型半導体領域51が短縮される。そして、入出力回路用の環状領域のうち内周側32+52と外周側31+51とが周方向にずれてn型半導体領域31とp型半導体領域52とがほぼ隣接するようになったところに対し、n型半導体領域31の延長部分には保護ダイオード81が形成され、n型半導体領域51の端部には保護ダイオード82が形成される。それから、何れも、隣接部を横切るような最短距離での配線接続と、既存の又は追加のクランプ接続とによって、電源ライン38、電源ライン59との接続が確立される。このブロック間保護回路80も、別ブロックの入出力回路におけるp型半導体領域52とn型半導体領域31との隣接部・近接部に形成されたものであって、p型半導体領域52に形成された整流素子82とn型半導体領域31に形成された整流素子81との並列回路を含んだものとなっている。また、保護ダイオード81、82のブレークダウン電圧も、適正な電源電圧よりは高く内部素子の耐圧よりは低くなっている。

【0031】この第1実施例の半導体集積回路装置について、その使用態様及び動作を説明する。半導体集積回路装置10全体の使い方や、内部回路34、54及び入出力回路(31+32)、(51+52)の通常動作等は、従前と同じなので、その説明は割愛し、以下、サージノイズが生じたときのブロック間保護回路70、80の動作を中心に説明する。

【0032】何れかの外部接続端子20にサージノイズが乗ると、ブロック内保護回路35等の働きによって電源ライン対38、39間の電位差の拡大が抑制されるとともに、ブロック内保護回路55等の働きによって電源ライン対58、59間の電位差の拡大も抑制されるが、これらの働きは電源ライン対38、39と電源ライン対58、59との電位差には及ばないので、両ライン対の電位差は広がり易く、それが大きいと、電源ライン39と電源ライン58との電位が逆転したり、電源ライン38と電源ライン59との電位が逆転したり、逆転はしなくても電位差が異常に開いたりする。

【0033】そして、電源ライン39の電位が電源ライン58の電位を超える異常事態になると、直ちに保護ダイオード71、72が共に導通し、これによって、電荷量の多いサージノイズも、電源ライン39側から電源ライン58側へ速やかに逃がされる。こうして、電源ライン39、58の電位を逆転させるようなサージノイズは、ブロック間保護回路70によって、迅速かつ確実に、分散させられる。また、電源ライン59の電位が電源ライン38の電位を超える異常事態になると、直ちに保護ダイオード81、82が共に導通し、これによって、電荷量の多いサージノイズも、電源ライン59側から電源ライン38側へ速やかに逃がされる。こうして、電源ライン59、38の電位を逆転させるようなサージノイズも、ブロック間保護回路80によって、迅速かつ確実に、分散させられる。

【0034】さらに、電源ライン58の電位が電源ライン39の電位より異常に高くなると、直ちにp型半導体領域32におけるn型の保護ダイオード72がブレークダウンにて導通し、これによってサージノイズが電源ライン58側から電源ライン39側へ速やかに逃がされる。それでも電位差の異常状態が解消しなければ、n型半導体領域31におけるp型の保護ダイオード71もブレークダウンにて導通し、これによって、電荷量の多いサージノイズも確実に逃がされる。こうして、電源ライン58、

39の電位差を異常に拡大させるようなサージノイズは、ブロック間保護回路70によって、迅速かつ確実に、分散させられる。また、電源ライン38の電位が電源ライン59の電位より異常に高くなると、直ちにp型半導体領域52におけるn型の保護ダイオード82が導通し、これによってサージノイズが電源ライン38側から電源ライン59側へ速やかに逃がされる。それでも電位差の異常状態が解消しなければ、n型半導体領域31におけるp型の保護ダイオード81も導通し、これによって、電荷量の多いサージノイズも確実に逃がされる。こうして、電源ライン38、59の電位を異常に拡大させるようなサージノイズも、ブロック間保護回路80によって、迅速かつ確実に、分散させられる。

【0035】このようにして、何れの向きのサージノイズも、別系統の電源ライン対38+39及び電源ライン58+59間での確に分散させられることから、両ブロック間での電位差拡大が抑制・緩和されて、回路間信号配線41の両端に生じる電位差、そしてその接続先である出力素子56の出力端子や入力素子36の入力端子に印加される異常電圧が抑制されるので、これらの内部素子36、56がより確実に静電破壊から保護されることとなる。

【0036】

【第2実施例】本発明の半導体集積回路装置の第2実施例について、その具体的な構成を、図面を引用して説明する。図4は、保護回路70、80を含む範囲についてのレイアウトを示す平面図である。

【0037】この半導体集積回路装置が上述した図1の半導体集積回路装置10と相違するのは、n型半導体領域31、51の端部が矩形状のまま単純に伸縮して段差を形成するので無く、内側のp型半導体領域32、p型半導体領域52に近い方は沢山伸縮するが外側の方はそれほど伸縮しないで、n型半導体領域31、51同士の境目が斜めになっている点である。

【0038】この場合、内部回路34、54や入出力回路の内周側(32+52)に対する入出力回路の外周側(31+51)のずれ量(面積)を出来るだけ抑えながら、n型半導体領域51とp型半導体領域32との隣接長およびn型半導体領域31とp型半導体領域52との隣接長を十分に確保することができる。

【0039】

【その他】なお、上記の各実施例では、内部回路の各素子は、CMOSや、pMOS、nMOS、その他MNOS等のFETからなるものであっても、本発明の適用は可能である。また、バイポーラトランジスタが含まれていても良く、デジタル回路であっても、アナログ回路であっても良い。内部回路の個数も、2個に限らず、3個以上でも良く、その配置や個数も左右上下や四角形に限らず任意である。

【0040】また、入出力回路は、外周側がn型半導体領域で内周側がp型半導体領域のものを示したが、これに限らず、外周側がp型半導体領域で内周側がn型半導体領域のものでも良く、その領域数も、二重環に限らず、三重かそれ以上であっても良い。電源ラインも、上述した正電圧印加用と接地用との対に限られるもので無く、例えば、正と負との対や、正と負と接地との組、高電圧と低電圧と他の基準電圧との組など、種々の組み合わせが有り得る。

【0041】さらに、上記実施例では、p型サブストレートのものを示したが、サブストレートは、p型に限らず、n型でも良く、絶縁性のものでも良く、シリコンに限らずガリウム砒素(AsP)等からなるものであっても良い。また、本発明は、従来からのブロック内保護回路やブロック間保護回路を排除するものでも前提とするものでも無いので、それらの保護回路を省いてから適用しても良く、それらの保護回路を併存させながら適用するようにしても良い。

【0042】

【発明の効果】以上の説明から明らかなように、本発明の第1の解決手段の半導体集積回路装置にあっては、電源ライン間に保護回路を設けるに際してp型・n型の異種領域に分散して形成するようにしたことにより、特性の異なる素子の協働によって種々のサージノイズから適切に保護されるうえ、配置が片寄らず専用領域の節約も可能でレイアウト設計が楽にでき、その結果、静電破壊に強い半導体集積回路装置を容易に実現することができたという有利な効果がある。

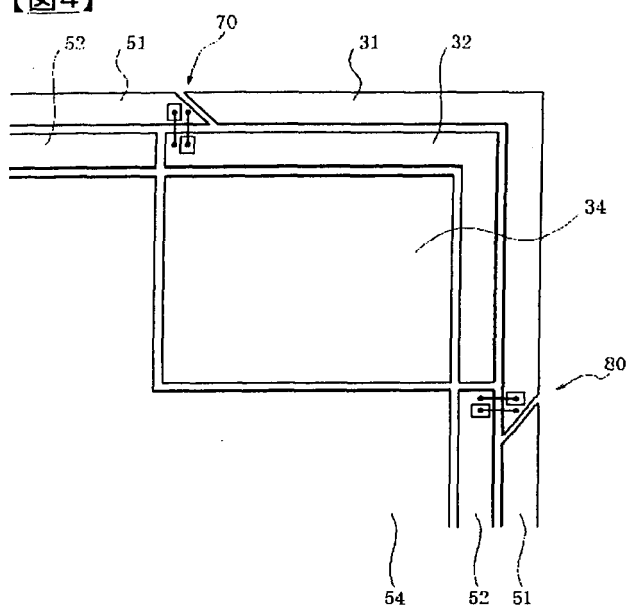
【0043】また、本発明の第2の解決手段の半導体集積回路装置にあっては、p型・n型の領域が近いところにブロック間保護回路を形成したことにより、配線が短くなってサージノイズを速やかに逃がすことができるうえ、配線の引き回し等の設計負担も軽くでき、その結果、静電破壊に強い半導体集積回路装置を容易に実現することができたという有利な効果を奏する。

【0044】さらに、本発明の第3の解決手段の半導体集積回路装置にあっては、入出力回路用の環状領域を利用してブロック間保護回路を形成するようにしたことにより、静電破壊に強い半導体集積回路装置を一層容易に実現することができるようになったという有利な効果がある。

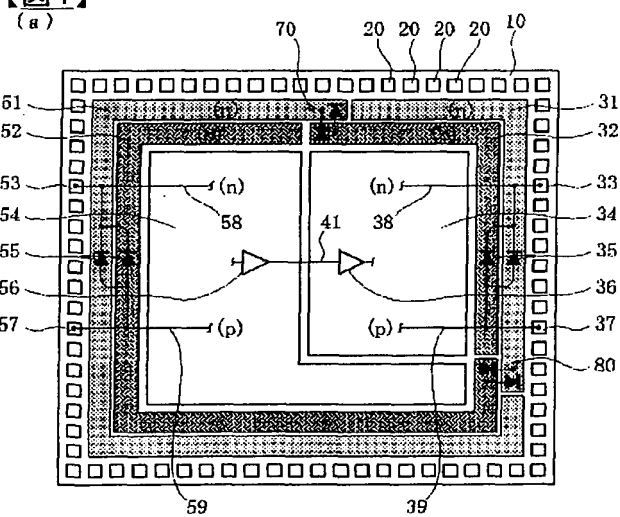
【0045】また、本発明の第4の解決手段の半導体集積回路装置にあっては、環状領域のp型・n型領域を少しずらしてそこにブロック間保護回路を作るようにしたことにより、自動レイアウトにも適するようになったという有利な効果を奏する。

図面

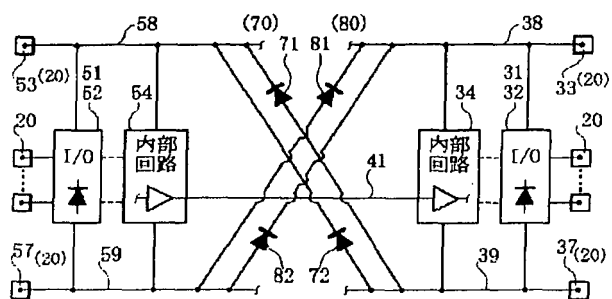
【図4】



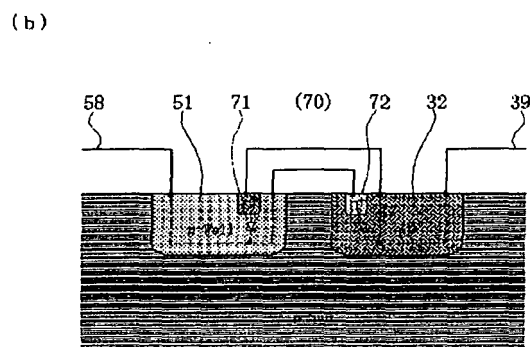
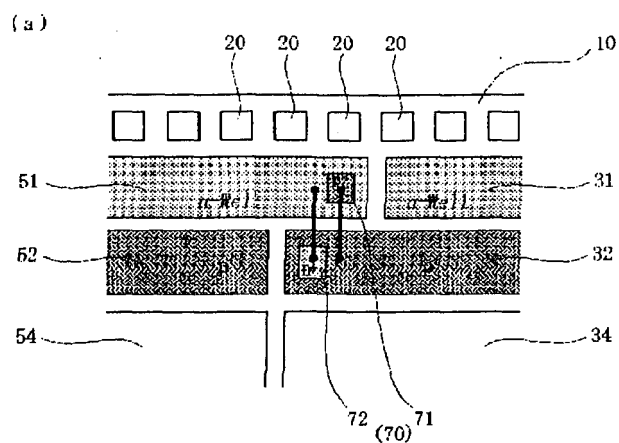
【図1】



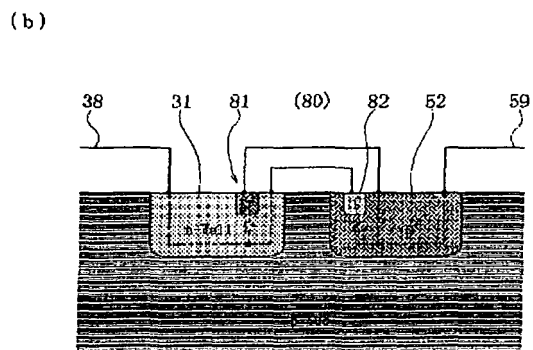
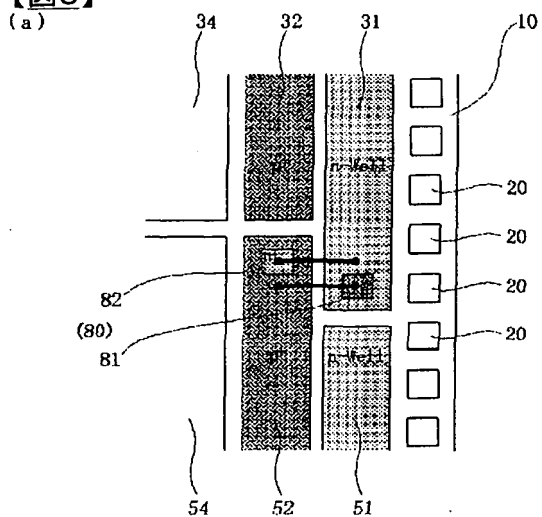
(b) 等価回路



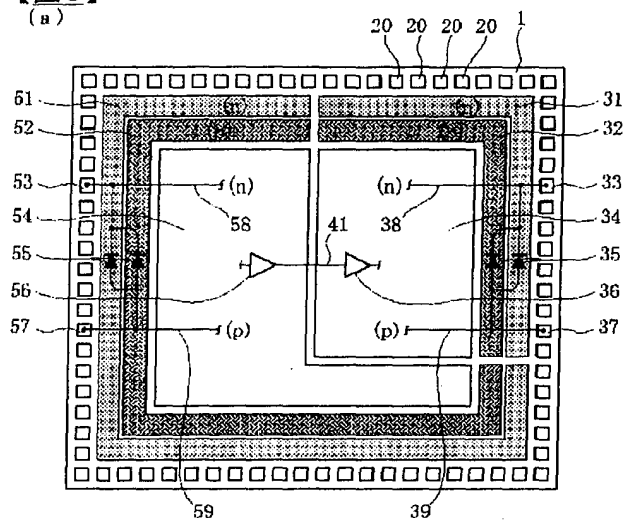
【図2】



【図3】



【図5】
(a)



(b) 等価回路

